

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-243472

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

H 0 1 L 23/50
27/04

識別記号

X 9272-4M
E 8427-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-39993

(22)出願日 平成4年(1992)2月27日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 田中 成和

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

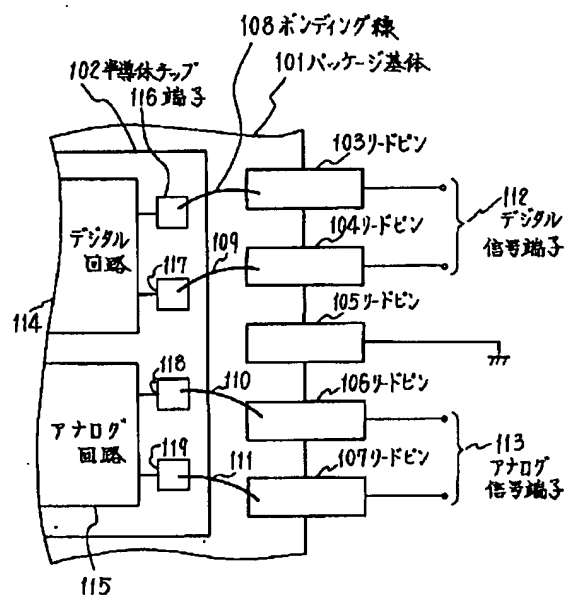
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 デジタル回路とアナログ回路とを共に内蔵する半導体集積回路において、デジタル信号の論理反転がアナログ回路にノイズとして伝播しアナログ回路が誤動作することを防止する。

【構成】 デジタル信号を扱うリードピン104と、アナログ信号を扱うリードピン106との間に、固定電位に接続又は固定電位で終端したリードピン105を設ける。これにより、リードピン104とリードピン105を設ける。これにより、リードピン104とリードピン106との間の線間容量を分離し、デジタル信号の論理反転がアナログ回路にノイズとして伝播し、アナログ回路が誤動作することを防止する。



【特許請求の範囲】

【請求項1】 半導体チップ上に設けたデジタル信号を扱う端子とアナログ信号を扱う端子とにそれぞれボンディング線を介して接続されたリードピン間に、固定電位に接続又は固定電位で終端したリードピンを介在させたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特にデジタル回路とアナログ回路とを共に内蔵する半導体集積回路に用いられるシールド回路に関する。

【0002】

【従来の技術】 近年、半導体集積回路は、市場の高集積化、高機能化の要求により、デジタル回路とアナログ回路とを単一チップ上に内蔵している。

【0003】 また、パッケージの小型化により、リードピンの間隔はせまくなってきている。前述の半導体集積回路に用いられるパッケージのリードピンと半導体チップとの接続状態を示す平面図を、図4に示す。

【0004】 図4の半導体集積回路では、デジタル回路402に接続されデジタル信号を扱う端子405と、アナログ回路403に接続されアナログ信号を扱う端子406とは、パッケージ基体400中の半導体チップ401上で、隣傍に配置されており、前述の2つの端子405、406は、ボンディング線413、414を介して、各々リードピン409、リードピン410に接続されている。

【0005】 尚、端子404と端子407とは、前記2つの端子405、406を介して存在し、それぞれボンディング線412、415、リードピン408、411、デジタル、アナログ信号端子416、417に電気的に接続されている。

【0006】

【発明が解決しようとする課題】 この従来の半導体集積回路では、デジタル回路402に接続されたリードピン409とアナログ回路403に接続されたリードピン410とが隣り合っているため、デジタル信号の論理反転が前述の2つのリードピン409、410間の線間容量によって、アナログ信号にノイズとして伝播し、アナログ回路の誤動作もしくは特性悪化を招く。

【0007】 このため、ゲインの大きなアンプの端子をデジタル信号端子に隣接して配置できない等、パッケージのピン配置の自由度が制限され、かつ、アナログ回路のノイズマージンを大きくする等、回路設計上の制約を受けるという問題点があった。

【0008】 本発明の目的は、前記問題点を解決し、回路設計上の制約を受けずに済むようにした半導体集積回路を提供することにある。

【0009】

【課題を解決するための手段】 本発明半導体集積回路の

構成は、半導体チップ上に設けたデジタル信号を扱う端子とアナログ信号を扱う端子とにそれぞれボンディング線を介して接続されたリードピン間に、固定電位に接続又は固定電位で終端したリードピンを介在させたことを特徴とする。

【0010】

【実施例】 図1は本発明の第1の実施例の半導体集積回路の平面図である。

【0011】 図1において、本実施例は、デジタル回路114に接続されデジタル信号を扱う端子117と、アナログ回路115とに接続されアナログ信号を扱う端子118とは半導体チップ102上では隣り合って配置されている。

【0012】 これら端子117、118は、ボンディング線109、110を介してリードピン104、リードピン106に各々接続され、この1組のリードピン104、106の間には、接地電位に接続されたリードピン105が介在する。

【0013】 尚、デジタル回路114からは、端子116にも引き出され、ボンディング線108を介してリードピン103に接続され、リードピン103、104とで、デジタル信号端子112を形成する。アナログ回路115からは、端子119にも引き出され、ボンディング線111を介してリードピン107に接続され、リードピン106、107とで、アナログ信号端子113を形成する。リードピン103～107の内部端と、ボンディング線108～111と、半導体チップ102は、パッケージ基体101で覆われている。

【0014】 図2は本発明の第2の実施例の平面図である。図2において、本実施例は、デジタル信号を扱うリードピン204とアナログ信号を扱うリードピン207との間に複数のリードピン205、206を持つ例である。デジタル回路217に接続されデジタル信号を扱う端子220と、アナログ回路218に接続されアナログ信号を扱う端子221は半導体チップ202上で隣り合って配置されている。前述の端子220、221は、ボンディング線210、211を介してリードピン204、リードピン207に各々接続され、この1組のリードピン204、207の間には、固定電位に接続されたリードピン206を備える他に、どこにも接続されないリードピン205を備える。

【0015】 尚、パッケージ基体201内の半導体チップ202内には、デジタル回路217に接続された端子219、ボンディング線209、アナログ回路218に接続された端子222、ボンディング線212もある。さらに、リードピン203、204でデジタル信号端子213を形成し、リードピン207、208でアナログ信号端子216を形成する。

【0016】 図3は本発明の第3の実施例の平面図である。図3において、本実施例は、リードピンがパッケー

ジ基体301のコーナーに配置された例である。

【0017】デジタル回路314に接続されデジタル信号を扱う端子317とアナログ回路315に接続されアナログ信号を扱う端子318は半導体チップ302上で隣り合って配置されている。

【0018】前述の端子317、318は、ボンディング線309、310を介してリードピン304、リードピン306に各々接続され、この1組のリードピン304、306の間には、接地電位に接続されたリードピン305が介在する。

【0019】尚、デジタル回路314に接続された端子316は、ボンディング線308を介して、リードピン303に接続され、リードピン304と共にデジタル信号端子312を形成する。またアナログ回路315に接続された端子319は、ボンディング線311を介してリードピン307に接続され、リードピン306と共にアナログ信号端子313を形成する。

【0020】

【発明の効果】以上説明したように、本発明は、デジタル信号を扱うリードピンとアナログ信号を扱うリードピンの間に、固定電位に接続又は固定電位で終端したリードピンを設ける構造としたため、2つのリードピン間の線間容量は、間に設けたリードピンにより分離され、デ

ジタル信号の論理反転がアナログ信号にノイズとして伝播することがなくなり、よってデジタル信号端子にアナログ信号端子を隣りに配置でき、パッケージのピン配置が自由になるという効果があり、またアナログ回路の設計においてノイズマージンを大きくする必要がなく、回路設計上の自由度が増大するという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体集積回路を示す平面図である。

【図2】本発明の第2の実施例の平面図である。

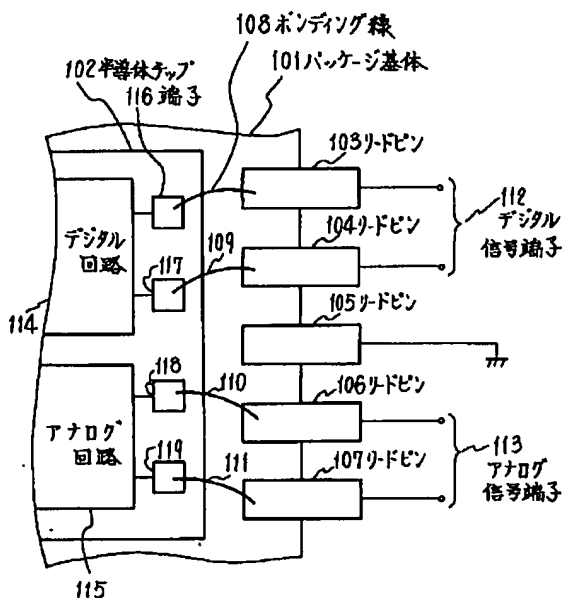
【図3】本発明の第3の実施例の平面図である。

【図4】従来例の半導体集積回路を示す平面図である。

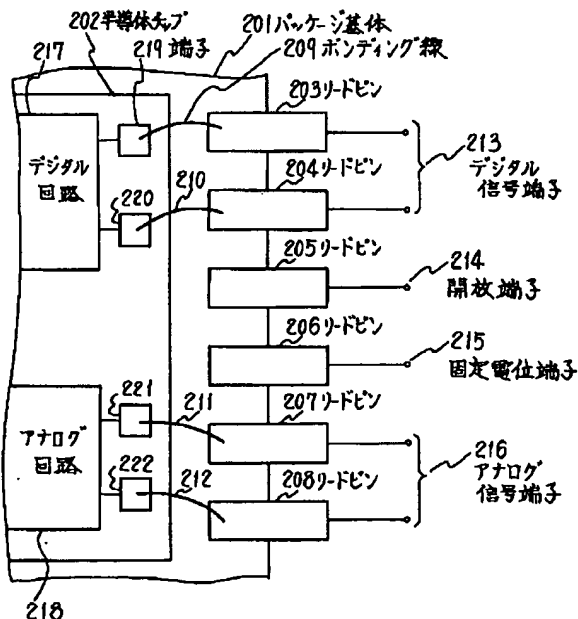
【符号の説明】

101, 201, 301, 400	パッケージ基体
102, 202, 302, 401	半導体チップ
103~107, 203~208, 303~307, 408~411	リードピン
108~111, 209~212, 308~311, 412~415	ボンディング線
112, 213, 312, 416	デジタル信号端子
113, 216, 313, 417	アナログ信号端子
114, 217, 314, 402	デジタル回路
115, 218, 315, 403	アナログ回路

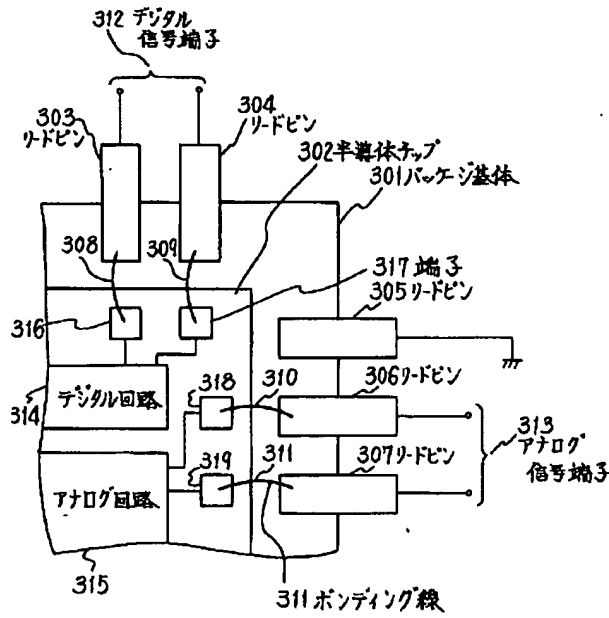
【図1】



【図2】



【図3】



【図4】

